

Lerntext zum Kapitel Digitaltechnik

Hallo Studierende,

der folgende Lerntext dient dazu, sich das Kapitel Flip-Flops im Selbststudium aneignen zu können. Offene Fragen klären Sie zunächst in eigener Runde in Kleingruppen und erarbeiten sich unverständenen Lernstoff gemeinsam. Anschließend können Sie mit mir in einer Übungsstunde das Kapitel vertiefen und ergänzen. Ich werde allerdings keinerlei Ergebnisse an die Tafel schreiben, sondern in einer Art Lernberatung von Gruppe zu Gruppe gehen und Ihre Fragen beantworten oder Hinweise zur richtigen Lösung geben. Damit Sie den Stoff nicht nur nachvollziehen, sondern auch aktiv erarbeiten und anwenden können, stehen Ihnen Übungsaufgaben zur Verfügung. Sie können damit Ihren Kenntnisstand selbst überprüfen und feststellen, ob Sie die Lernziele erreicht haben. Bitte führen Sie die Aufgaben durch. Deren Lösung ist für das Verständnis der nachfolgenden Ausführungen unbedingt notwendig. Um die Richtigkeit der Ergebnisse überprüfen zu können, habe ich die Ergebnisse im Anhang beigelegt.

Ich wünsche Ihnen viel Spaß und einen Erfolg beim Durcharbeiten dieses Textes!

copyright ©



8.4 Funktionsgruppen

8.4.1 Flip-Flops

Für die Bearbeitung dieses Kapitels sind Kenntnisse über die grundlegenden Gatterfunktionen UND, ODER und NICHT (AND, OR und NOT) und deren Verknüpfung mit Hilfe der BOOL'schen Algebra (vergl. dazu Regelungs- und Steuerungstechnik) notwendig. In diesem Kapitel lernen Sie die Funktionsweise von Flip-Flops (bistabile Kippstufen) kennen und sollten nach dem Durcharbeiten des Textes ...

Lernziele

- Unterschiede zwischen Taktzustands- und Taktflankentriggerung kennen.
- die Reaktion von Flip-Flops auf Takt- und Steuersignale in Impulsdigramme einzeichnen können.
- den Unterschied zwischen einem einfachen und einem Master-Slave Flip-Flop kennen.
- das Zusammenwirken von Flip-Flops mit anderen digitalen Komponenten bearbeiten können.

Ich werde die verschiedenen Ausführungen von Flip-Flops ausgehend vom einfachsten RS-Flip-Flop bis hin zum Master-Slave JK-Flip-Flop durch schrittweises hinzufügen von Komponenten erläutern. Da jedes neue Flip-Flop damit auf die Eigenschaften der vorangegangenen Flip-Flops aufbaut, sind jeweils Übungsaufgaben zwischengeschaltet, die unbedingt gelöst werden sollten.

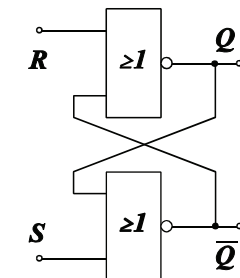
Dabei werden wie im Praktikum nur TTL Bausteine eingesetzt. Damit gilt:

- offene Eingänge wirken wie ein "H"
- Spannungen kleiner als 0,8V wirken als „L“
- Spannungen größer als 2V und kleiner als die Versorgungsspannung (typ. 5 V) wirken als „H“
- Durch die Beschränkung auf positive Logik gilt: „H“ = 1 und „L“ = 0

Wichtige Eigenschaften von TTL-Bausteinen

Einfachste Ausführung eines Flip-Flops

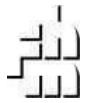
Ein FF besteht in seiner einfachsten Ausführung aus zwei rückgekoppelten Gattern. Es können sich zwei stabile Zustände einstellen. Für den Fall, dass Q auf 1 liegt stellt sich automatisch an \bar{Q} , der Ausgang des unteren NOR-Gatters, eine 0 ein und umgekehrt. (Vergl. Sie hierzu Ingenieurinformatik I) Damit können logische Zustände beliebig lange gespeichert werden. Die Eigenschaften lassen sich sehr einfach durch sogenannte Impulszeitdiagramme und Zustandsfolgetabellen beschreiben.



Einfachste Ausführung eines RS-Flip-Flops

Abb. 8.4.1 RS-FF

In diesen Tabellen wird mit dem Index n der Zustand vor einer Änderung bzw. vor einem wirksamen Taktsignal, mit dem Index n+1 der Zustand nach der Änderung bzw. des wirksamen Taktsignals gekennzeichnet.



Mit nur zwei Eingängen gibt es vier mögliche Eingangskombinationen (2^2).

- Sind beide Eingänge S und R auf „0“, so ist das FF gesperrt. D.h. der alte Zustand bleibt erhalten.
- Mit dem S (=Setz)- Eingang auf „1“ wird das FF gesetzt, d.h. der Q-Ausgang geht auf „1“.
- Mit dem R (=Rücksetz)-Eingang auf „1“ wird das FF rückgesetzt, d.h. der Q-Ausgang geht auf „0“.
- Der Zustand für S und R = „1“ ist nicht definiert, da Q und \bar{Q} zueinander per Definition invers sein müssen. Ferner ist nicht klar welchen Zustand das FF einnehmen wird, wenn gleichzeitig die beiden R- und S-Eingänge auf „1“ gehen.

Somit ergibt sich folgende Zustandsfolgetabelle:

S	R	Q_{m+1}	'' _{n+1}
0	0	Q_n	'' _n
0	1	0	1
1	0	1	0
1	1	0*	0*

Tab. 8.4.1 * nicht definiert
Zustandsfolgetabelle eines RS-FF

Zustandsfolgetabelle für ein einfaches RS-Flip-Flop

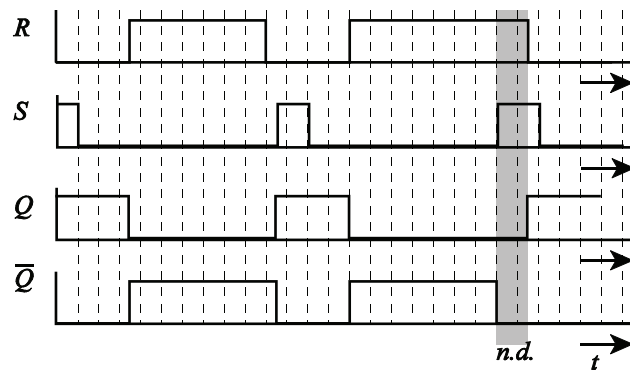
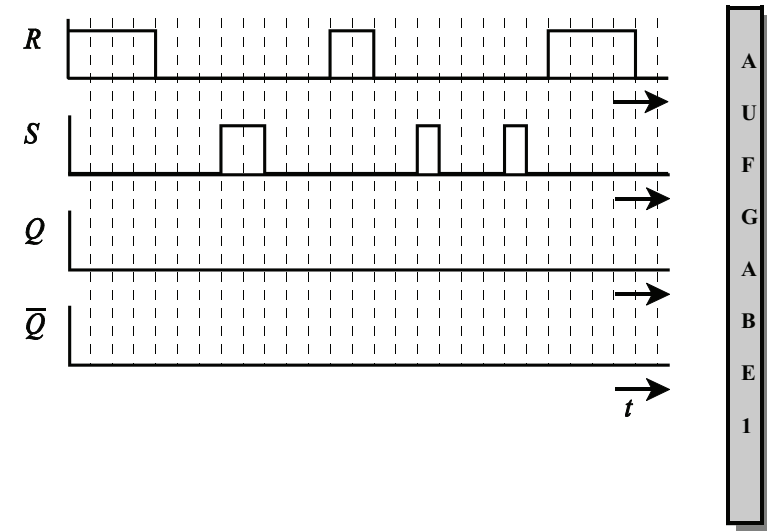


Abb. 8.4.2 Impulszeitdiagramm eines RS-FF

Impulszeitdiagramm für ein einfaches RS-Flip-Flop

Vervollständigen Sie das nachstehende Impulsdiagramm



(Lösung siehe Anhang)

Fragen:

- Welcher Zusammenhang besteht zwischen dem Q und dem '' Ausgang?
- Warum dürfen S- und R-Eingang nicht beide 1 sein?

Fragen zum einfachen RS-Flip-Flop



Einfache taktzustandsgesteuerte Flip-Flops

Durch die Verknüpfung des R- und S-Eingangs mit einem Taktsignal C (= clock) erhält man ein einfaches taktzustandsgesteuertes RS-FF. Ist das Taktsignal auf „0“, so sind beide UND-Gatter (① ②) in der Ansteuerung gesperrt, also sind beide Ausgänge der UND-Gatter auf „0“. Damit bleibt der Zustand des Basis-FF wie bisher (FF-gesperrt). Während der Zeiträume, in denen das Taktsignal „1“ ist, werden die R- und S-Pegel auf die R' und S' Signale durchgeschaltet und das Basis-FF kann damit entweder gesetzt oder rückgesetzt werden.

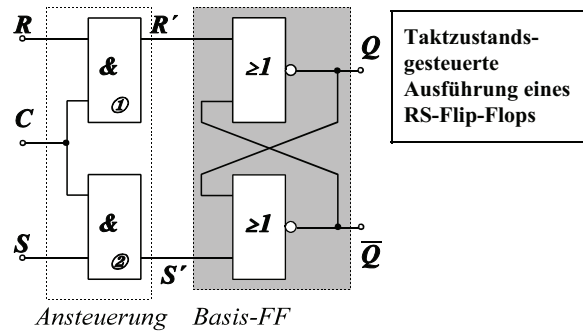


Abb. 8.4.3 Taktzustandsgesteuertes RS-FF

Die Abhängigkeit des S- und R-Einganges wird durch die vorangestellte Zahl (hier 1) hervorgehoben. Der zugehörige Eingang wird durch eine nachgestellte Zahl gekennzeichnet.

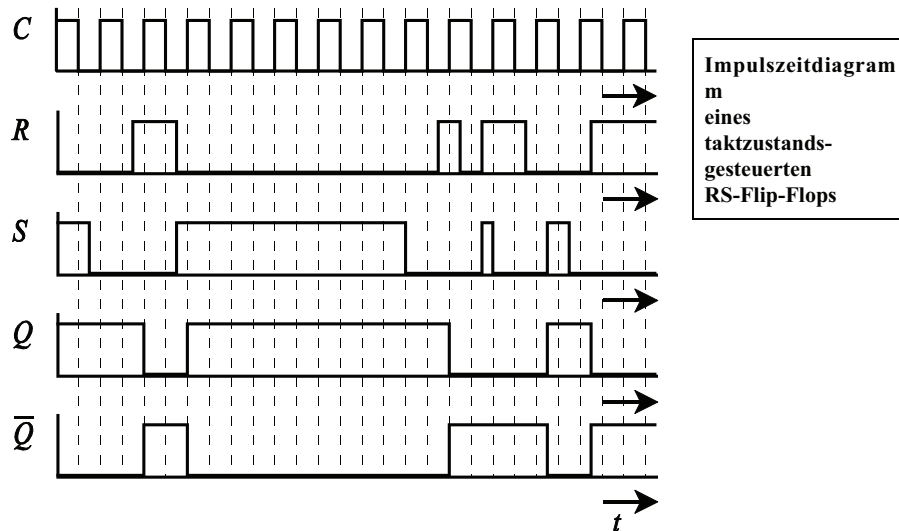
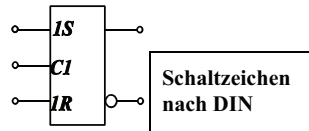
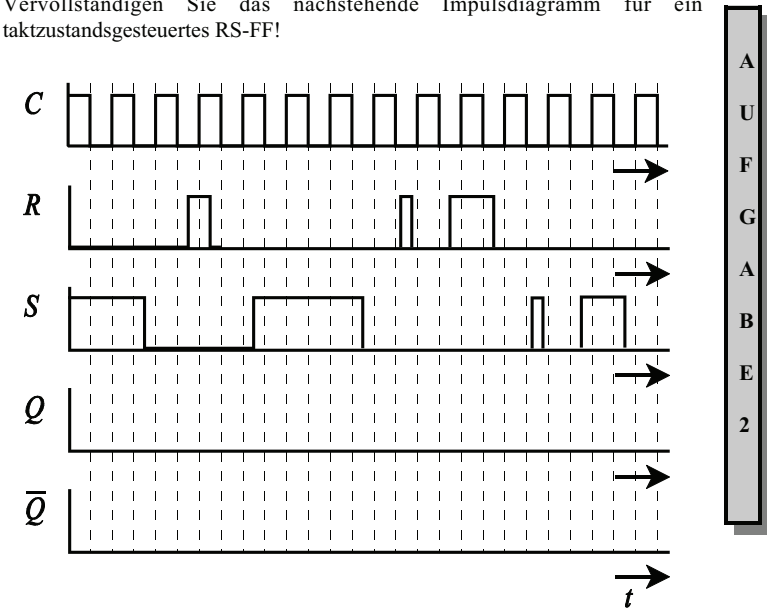


Abb. 8.4.4 Impulsdiagramm taktzustandsgesteuertes RS-FF



Vervollständigen Sie das nachstehende Impulsdiagramm für ein taktzustandsgesteuertes RS-FF!



Fragen:

- Welchen Vorteil hat ein taktzustandsgesteuertes Flip-Flop gegenüber einem Basis RS-Flip-Flop?
- Wie kann der Zustand über längere Zeit gehalten werden?
- Was passiert, wenn beide Eingänge auf „1“ gehen, während der Takt inaktiv ist?
- Was passiert, wenn beide Eingänge auf „1“ gehen, während der Takt aktiv ist?

Fragen zum taktzustandsgesteuerten RS-Flip-Flop



Taktzustandsgesteuertes Data Flip-Flop

Durch das Hinzufügen eines weiteren Gatters (③) (Abb. 8.4.5) kann das einfache RS-FF zu einem D-FF (Data-Latch) erweitert werden, das nur in bestimmten, durch ein Taktsignal vorgegebenen, Zeiträumen gesetzt oder rückgesetzt werden kann. Man spricht in diesem Fall von einem taktzustandsgesteuerten D-FFs. Die Kombination das R' und S' gleichzeitig auf „1" sind, ist durch den Inverter ③ nun nicht mehr möglich, da entweder nur AND-Gatter ① oder AND-Gatter ② auf „1" gehen kann.

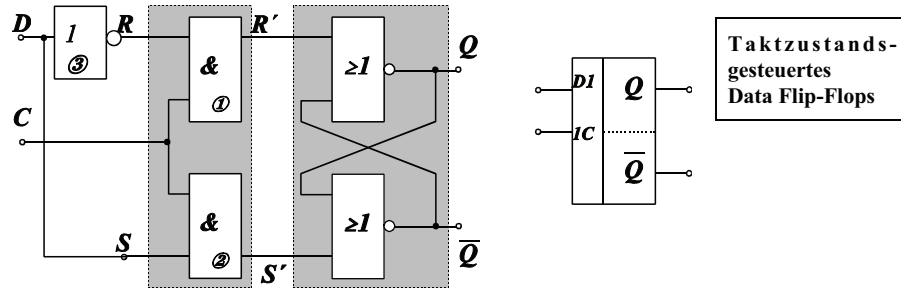


Abb. 8.4.5 Taktzustandsgesteuertes D-Flip-Flop

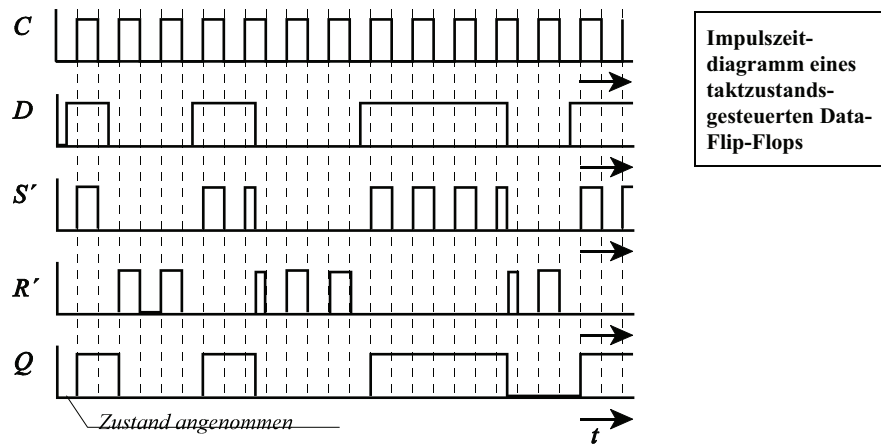
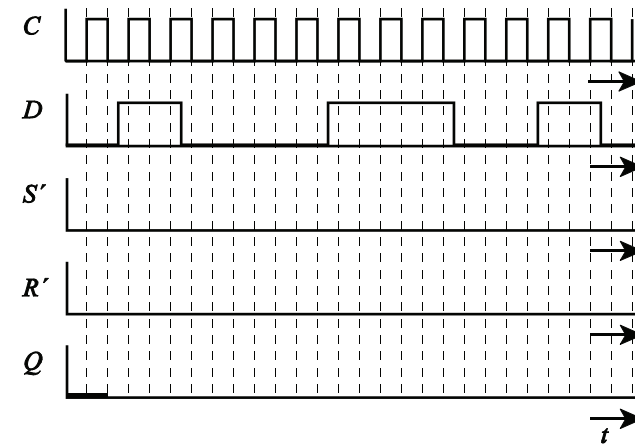


Abb. 8.4.6 Impulsdiagramm für taktzustandsgesteuertes D-Flip-Flop (S' und R' sind die Signalpegel im Inneren des FF)



Vervollständigen Sie das nachstehende Impulsdiagramm für ein taktzustandsgesteuertes D-FF!



A
U
F
G
A
B
E
3

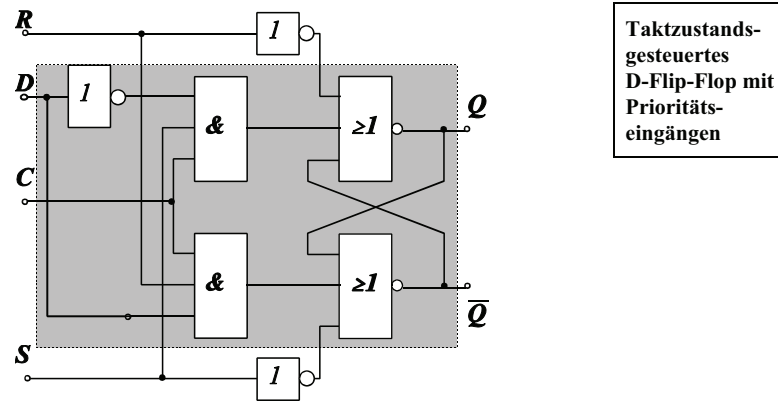
Fragen:

- Welchen Vorteil hat ein D-Flip-Flop gegenüber einem RS-Flip-Flop?
- Wozu werden D-Flip-Flops eingesetzt?

Fragen zum taktzustandsgesteuerten D-Flip-Flop



Taktzustandsgesteuertes D-Flip-Flop mit Prioritätseingängen



Taktzustands-
gesteuertes
D-Flip-Flop mit
Prioritäts-
eingängen

Abb. 8.4.7 Taktzustandsgesteuertes D-Flip-Flop mit Prioritätseingängen

Um die FFs in eine definierte Startlage zu bringen, oder um einen Reset durchzuführen, werden normalerweise zusätzliche R- und S-Eingänge an das Basis-FF angefügt, die nicht mit dem Takt verknüpft sind, also immer unmittelbar wirken. Daher werden sie auch als Prioritätseingänge bezeichnet. Dies wird auch durch die Kennzeichnung mit R und S allein ohne eine weitere Zahl im Schaltzeichen (Abb. 8.4.8) ausgedrückt!

Durch die Besonderheit, dass bei TTL ein offener Eingang wie eine logische „1“ wirkt, führt man diese Eingänge jeweils über einen Inverter, damit die Funktionsweise des FF auch bei nicht angeschlossenen R- bzw. S-Eingängen (offene Eingänge) gewährleistet ist. Daraus ergibt sich, dass mit einer logischen „0“ der Prioritätseingang aktiv wird. Dies wird im Schaltzeichen durch die Invertierung (Kreis vor dem Eingang) bzw. durch einen Negationsstrich über dem Eingangssignalbezeichner R oder S ausgedrückt. Um einen undefinierten Zustand zu vermeiden, der beim Durchschalten des D-Signals entstehen könnte, werden diese R- und S-Signale zusätzlich noch auf die beiden AND-Gatter gegeben, um diese zu sperren.

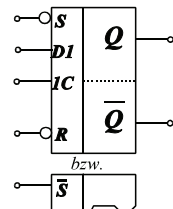


Abb. 8.4.8
Schaltzeichen

Schaltzeichen
eines
taktzustands-
gesteuerten
D-Flip-Flop mit
Prioritäts-
eingängen

Impulszeit-
diagramm eines
taktzustands-
gesteuerten Data-
Flip-Flops mit
Prioritäts-
eingängen

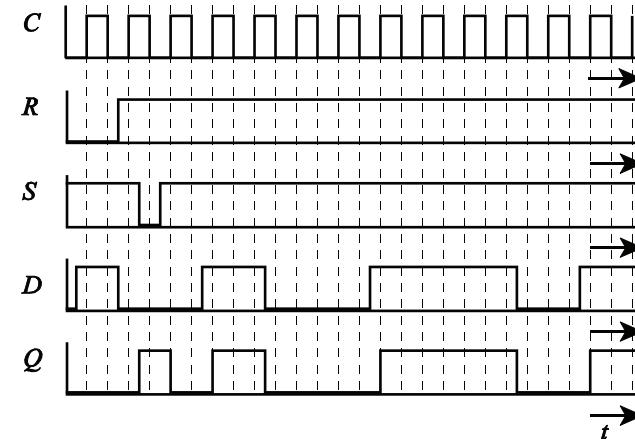
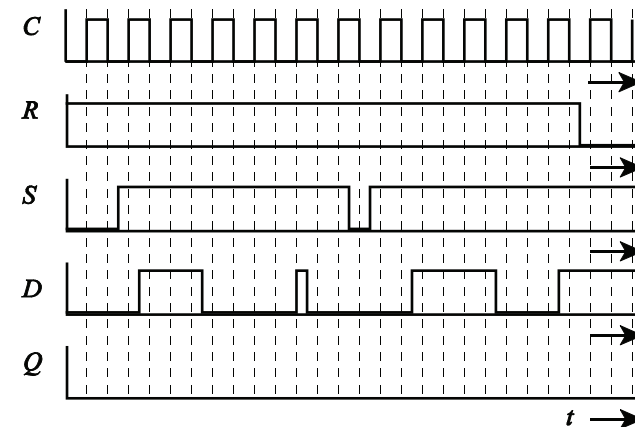


Abb. 8.4.9 Impulsdiagramm eines taktzustandsgesteuerten D-Flip-Flop mit Prioritätseingängen

Vervollständigen Sie das nachstehende Impulsdiagramm für ein taktzustandsgesteuertes D-FF mit Prioritätseingängen!



A
U
F
G
A
B
E
4

Fragen:

- Warum werden die R- und S-Eingänge als Prioritätseingänge bezeichnet?
- Wozu werden R- und S-Eingänge genutzt?

Fragen zum takt-
zustandsgesteuerten
D-Flip-Flop mit
Prioritätseingängen



Taktflankengesteuerte Flip-Flops

Bei taktzustandsgesteuerten FFs kann es dazu kommen, dass während eines Taktsignals noch eine Änderung wirksam werden kann. Dies kann zu Problemen führen, da damit auch kurze Störsignale eventuell noch wirksam werden können. In modernen Schaltungen werden deshalb heute dynamische FFs eingesetzt, die nur während einer Taktflanke ihren Ausgangszustand ändern können. Man bezeichnet diese als flankengetriggerte FFs. Dies wird durch ein Dreieck am Takteingang dargestellt.

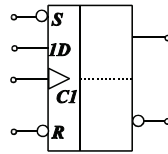


Abb. 8.4.9 D-FF

Schaltzeichen
taktflanken-
gesteuertes
D-Flip-Flops
mit Prioritäts-
eingängen

Die wirksame Flanke ist dabei bei einem nicht ausgefüllten Dreieck der Übergang von 0 auf 1 (positive Taktflanke) (vergl. Aufgabe 5).

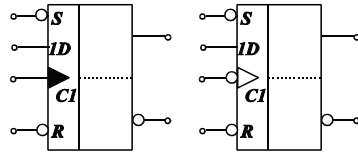
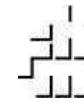


Abb. 8.4.10 D-FF

Bei einem ausgefüllten Dreieck bzw. bei einem Invertierungssymbol (Kreis) vor dem Dreieck ist die wirksame Flanke der Übergang von 1 auf 0 (negative Taktflanke) (vergl. Aufgabe 6)

Der genaue innere Aufbau soll hier nicht näher betrachtet werden. Vielmehr soll mit den Schaltsymbolen und den Zustandsfolgetabellen im Weiteren gearbeitet werden. Die Kreise an den R- und S-Prioritätseingängen (Abb. 8.4.9 und 8.4.10) zeigen, dass die Low-Signale aktiv sind.

Anstelle der Kreise findet man häufig auch die Kennzeichnung mit \bar{S} bzw. \bar{R} . (vergl. Abb. 8.4.8)



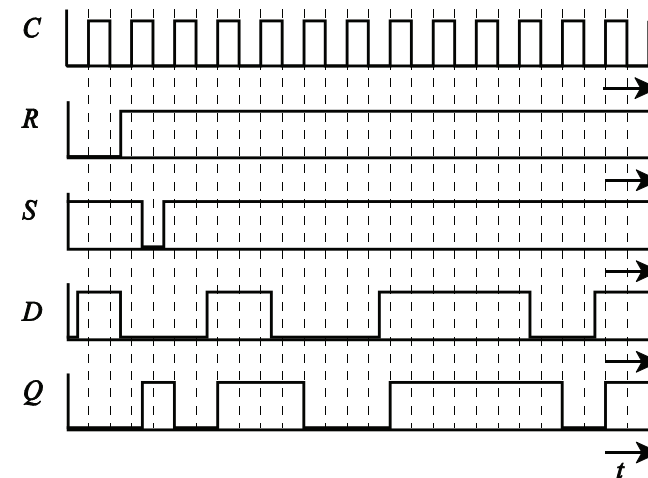
Für beide Typen gilt folgende Zustandsfolgetabelle:

D	T	Q_{n+1}	Bemerkung
0	0	Q_n	FF gesperrt
0	1	0	FF rückgesetzt
1	0	Q_n	FF gesperrt
1	1	1	FF gesetzt

Zustandsfolgetabelle für ein D-Flip-Flop

Q_n = Signal am Q Ausgang **vor** dem aktiven Taktsignal
 Q_{n+1} = Signal am Q Ausgang **nach** dem aktiven Taktsignal

Tab. 8.4.2 Zustandsfolgetabelle D-FF

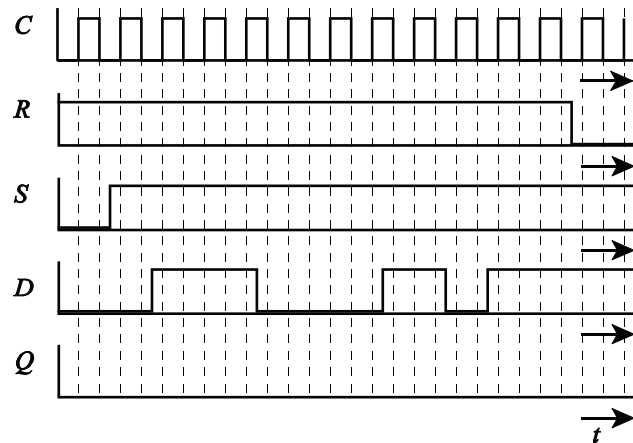
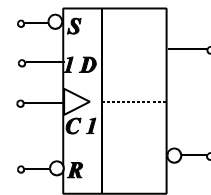


Impulszeitdiagramm eines taktflanken-gesteuerten Data-Flip-Flops mit Prioritäts-eingängen

Abb. 8.4.11 Impulsdiagramm eines positiv taktflankengesteuerten D-Flip-Flops mit Prioritätseingängen



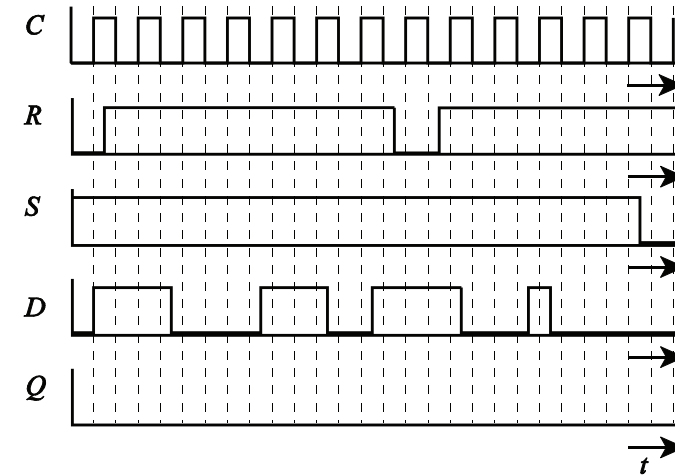
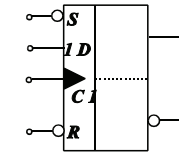
Ergänzen Sie im nachfolgenden Zeitdiagramm den Signalverlauf Q für ein positiv flankengetriggertes D-Flip-Flop.
Die Prioritätseingänge S und R sind „aktiv 0“.



(Lösung siehe Anhang)



Ergänzen Sie im nachfolgenden Zeitdiagramm den Signalverlauf Q für ein nun negativ flankengetriggertes D-Flip-Flop.
Die Prioritätseingänge sind „aktiv Low“



(Lösung siehe Anhang)

Fragen:

- Woran erkennt man, mit welcher Flanke das Flip-Flop geschaltet wird?
- Welchen Vorteil hat ein taktflankengesteuertes D-Flip-Flop gegenüber einem taktzustandsgesteuerten D-Flip-Flop?

Fragen zum taktflankengesteuerten D-Flip-Flop



Taktflankengesteuerte Master-Slave Flip-Flops

Bisher wurden nur Schaltnetze behandelt, bei denen Eingangssignale zu Ausgangssignalen verknüpft werden. Werden auch Ausgangssignale auf den Eingang zurückgeführt, so spricht man von Schaltwerken. Dort ist es unbedingt notwendig, die Ein- und Ausgangssignale voneinander zeitlich zu entkoppeln, um ein Schwingen der Schaltung zu vermeiden.

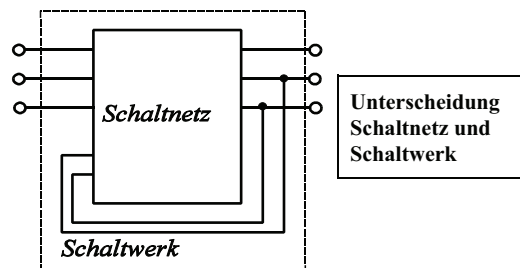
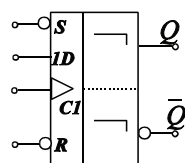
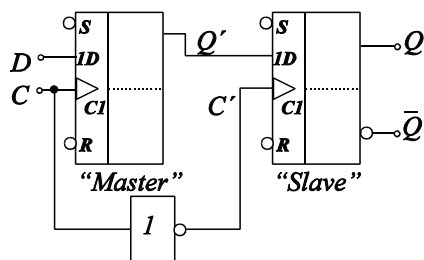


Abb.: 8.4.10 Schaltwerk

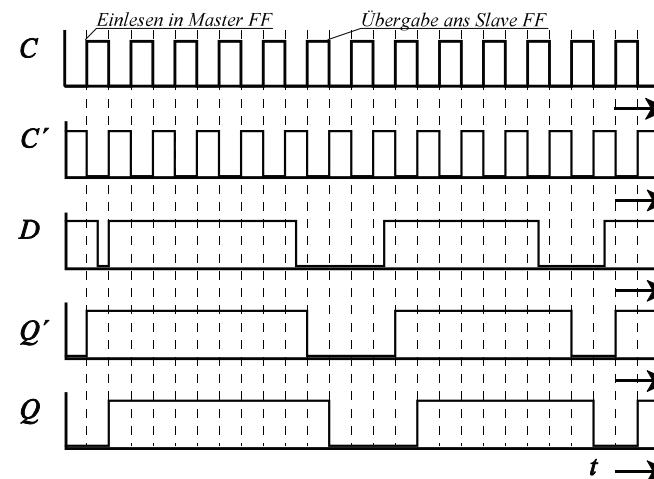
Dazu erweitert man das einfache D-FF um ein weiteres FF. Man erhält dann ein so genanntes Master-Slave FF (siehe Abb. 8.4.11). Im Schaltzeichen wird dies durch die besondere Kennzeichnung der Ausgänge dargestellt. Die Funktionsweise dieses Master-Slave-Prinzips soll für ein flanken getriggertes FF gezeigt werden, bei dem der innere Aufbau noch zu erkennen ist. Dazu werden die Zeitverläufe der Zwischenvariablen Q' und des Signals T' ermittelt.



Innerer Aufbau und Schaltzeichen eines taktflanken-gesteuerten Data-Master-Slave Flip-Flops mit Prioritätseingängen

Abb. 8.4.11 positiv flankengetriggertes Data-Master-Slave-Flip-Flop

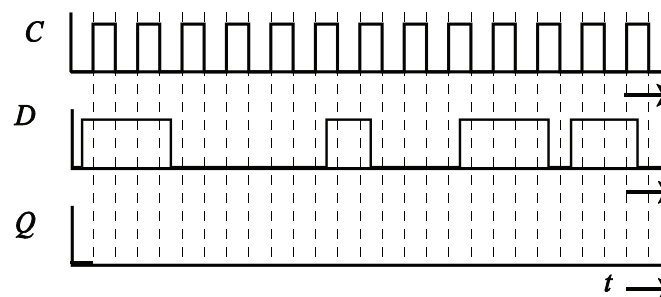
Der Takt C liegt direkt am Master-FF an. Damit erfolgt ein Einlesen mit der positiven Taktflanke in das Master FF. Am Slave-FF liegt aber der invertierte Takt C' an. Die dort wirksame positive Taktflanke ist bezogen auf das Eingangssignal C, eigentlich die Rückflanke. Damit ergibt sich die geforderte zeitliche Entkopplung der Eingangs- und Ausgangssignale. Die Information wird über den Q' -Ausgang des Master-FF an das Slave-FF übergeben. Das Signal an Q entspricht exakt dem Signal Q' , allerdings um eine Taktflanke verschoben!



Impulszeitdiagramm eines taktflanken-gesteuerten Data-Master-Slave Flip-Flops

Abb.: 8.4.12 Impulsdiagramm eines positiv flankengetriggerten D-Master-Slave-Flip-Flop

Ergänzen Sie im nachfolgenden Zeitdiagramm den Signalverlauf Q für ein positiv flankengetriggertes D-Master-Slave-Flip-Flop nach Abb. 8.4.11. Die Prioritätseingänge sind nicht beschaltet, also inaktiv.



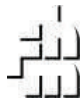
(Lösung siehe Anhang)

Fragen:

- Wozu verwendet man Master-Slave-Flip-Flops?
- Wodurch wird die zeitliche Entkopplung zwischen Eingang und Ausgang des Flip-Flops erreicht?

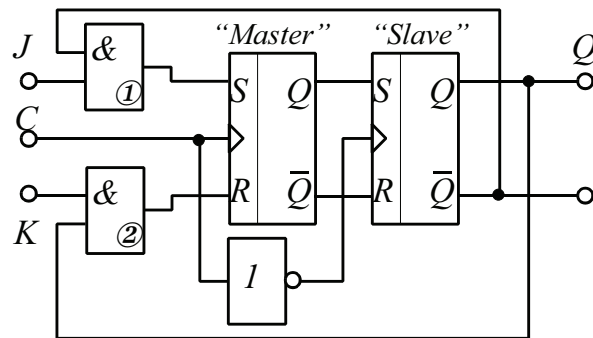
Fragen zum taktflanken-gesteuerten D-Master-Slave-Flip-Flop

A
U
F
G
A
B
E
7



Das JK-Flip-Flop

Ein universell verwendbares FF stellt das JK-FF dar. Wir betrachten im Folgenden die flankengesteuerte Ausführung, die aus den bisher genannten Gründen am häufigsten eingesetzt wird. Da es sich beim JK-FF meist auch um ein Master-Slave-FF handelt, wird mit der aktiven Flanke das am Eingang anliegende Signal in das Master-FF übernommen, aber erst mit der eigentlich inaktiven Flanke an den Ausgang durchgeschaltet. Zunächst sollen eventuell vorhandene Prioritätseingänge nicht betrachtet werden. Die Funktionsweise lässt sich anhand der Grundschialtung nach Abb. 8.4.13 erläutern:



Innerer Aufbau eines taktflanken-gesteuerten JK-Master-Slave-Flip-Flops

Abb.: 8.4.13 Innerer Aufbau eines JK-MS-FF

Durch die Rückkopplung der Ausgangssignale auf die Eingangsgatter (1 und 2) wird die Funktion des FFs nicht nur bestimmt durch die J- und K-Eingänge, sondern ist auch abhängig von dem Zustand, den das FF vor dem aktiven Taktsignal für das Master FF gerate hat. Abb. 8.4.14 zeigt das Schaltsymbol.

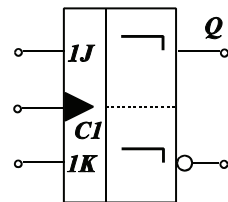


Abb. 8.4.14 JK-FF



Es lassen sich vier mögliche Kombinationen der beiden Eingänge J und K unterscheiden:

J	K	Q _n	Q _{n+1}
0	0	0	0
0	0	1	1

Die beiden AND-Gatter (1 und 2) am Eingang sind gesperrt. Damit sind die beide Eingangssignale R und S des Master FF 0, d.h. (vergl. Tab. 8.4.1) der Ausgangszustand des FF ändert sich nicht (FF gesperrt oder FF speichert).

0	1	0	0
0	1	1	0

Ist zum Zeitpunkt des wirksamen Taktsignals das FF bereits gesetzt, so kann der K-Eingang am AND-Gatter (2) wirksam werden. Das FF wird zurückgesetzt. Für den Fall, dass das FF bereits rückgesetzt war, sind beide AND-Gatter gesperrt und das FF bleibt im rückgesetzten Zustand.

1	0	0	1
1	0	1	1

Ist zum Zeitpunkt des wirksamen Taktsignals das FF bereits zurückgesetzt, so kann der J-Eingang am AND-Gatter (1) wirksam werden. Das FF wird gesetzt. Für den Fall, dass das FF bereits gesetzt war, sind beide AND-Gatter gesperrt und das FF bleibt im gesetzten Zustand.

1	1	0	1
1	1	1	0

Eine Besonderheit des JK-FF ergibt sich für diesen Fall. Das FF wird mit jeder wirksamen Taktflanke in den anderen Zustand wechseln. War es gesetzt, wird es rückgesetzt und umgekehrt. Man sagt, das FF „toggelt“.

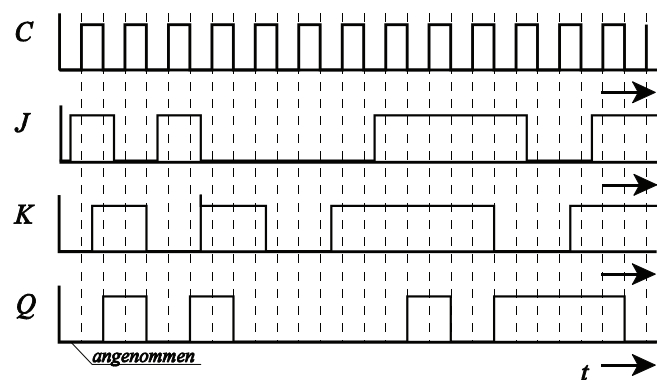
Alle beschriebenen Funktionen eines JK-FF lassen sich in einer verkürzten Zustandsfolgetabelle (Tab. 8.4.3) zusammenfassen.

J	K	Q _{n+1}	Bemerkung
0	0	Q _n	FF gesperrt
0	1	0	FF rückgesetzt
1	0	1	FF gesetzt
1	1	Q _n	FF toggelt

Zustandsfolge-tabelle für ein JK-Flip-Flop

Q_n = Signal **vor** dem aktiven Taktsignal
Q_{n+1} = Signal **nach** dem aktiven Taktsignal

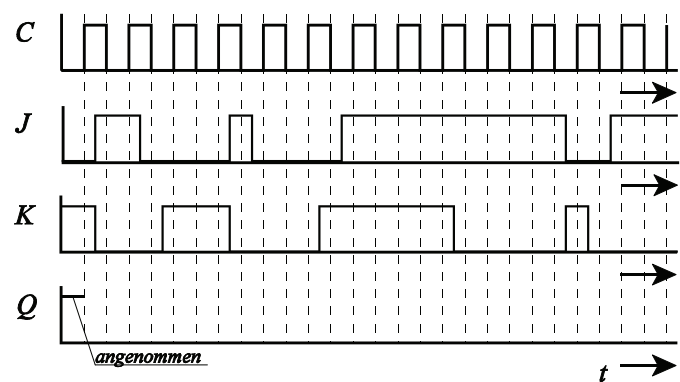
Tab. 8.4.3 Zustandsfolgetabelle JK-FF



Impulszeitdiagramm eines taktflankengesteuerten JK-Master-Slave Flip-Flops

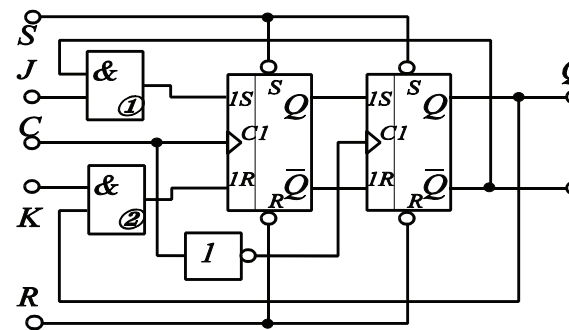
Abb. 8.4.15 Impulsdiagramm für ein positiv flankengesteuertes JK-Master-Slave-FF ohne Prioritätseingänge

Ergänzen Sie im nachfolgenden Zeitdiagramm den Signalverlauf Q für ein positiv flankengetriggertes JK-Master-Slave-Flip Flop nach Abb. 8.4.14.



(Lösung siehe Anhang)

A
U
F
G
A
B
E
8



Innerer Aufbau eines taktflankengesteuerten JK-Master-Slave Flip-Flops mit Prioritätseingängen

Abb. 8.4.16 Innerer Aufbau eines JK-MS-FF mit Prioritätseingängen

Handelsübliche JK-MS-Flip-Flops haben noch zwei taktunabhängige Setz- und Rücksetzeingänge S und R (Abb. 8.4.17), die mit logisch Null aktiviert werden (vergl. Abb. 8.4.6). Diese Eingänge haben wie bei den bisher besprochenen Flip-Flops absolute Priorität.

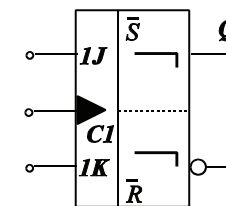
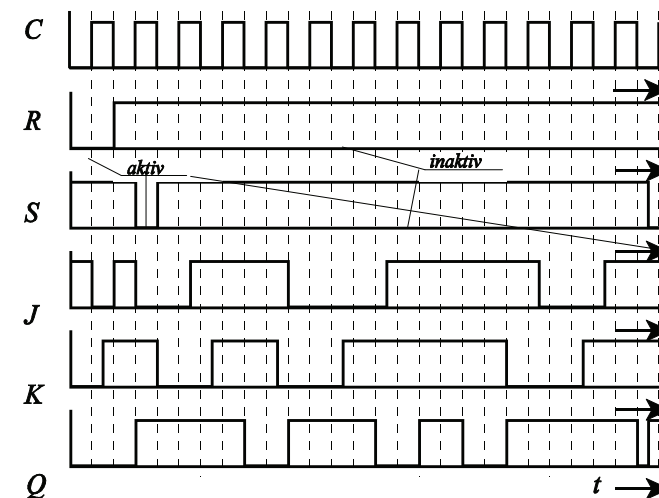
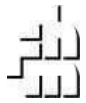


Abb. 8.4.17 JK-FF

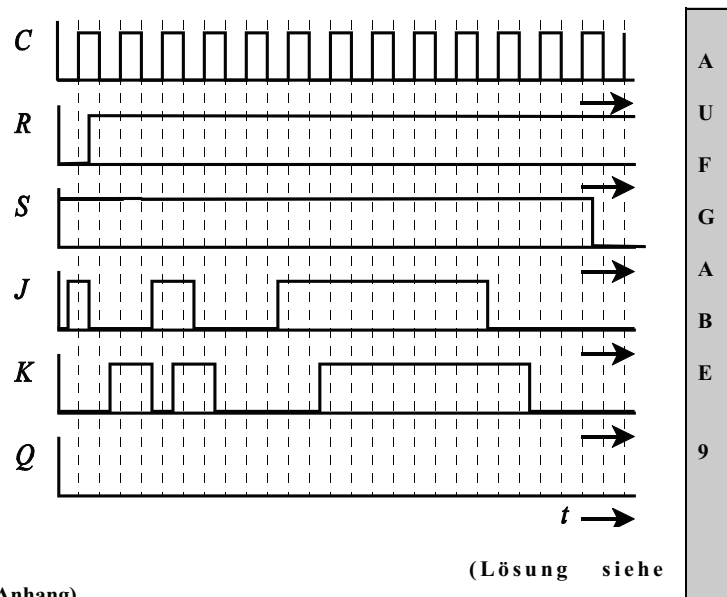


Impulszeitdiagramm eines taktflankengesteuerten JK-Master-Slave Flip-Flops mit Prioritätseingängen

Abb. 8.4.18 Impulsdiagramm für ein positiv flankengesteuertes JK-Master-Slave-FF mit Prioritätseingängen



Ergänzen Sie im nachfolgenden Zeitdiagramm den Signalverlauf Q für ein positiv flankengetriggertes JK-Master-Slave-Flip Flop nach Abb. 8.4.17.



Anhang)

Durch eine geeignete Beschaltung am J- und K-Eingang kann jeder andere Typ von FF, z.B. das D-FF, nachgebildet werden. (Abb. 8.4.19)

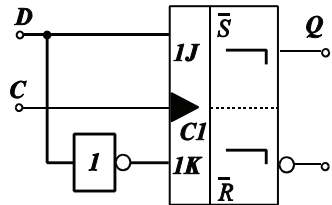


Abb. 8.4.19 JK-FF als D-FF

Durch die universelle Verwendbarkeit dieses Typs werden heute fast ausschließlich noch JK-FFs eingesetzt, da sie durch die hohen Stückzahlen bei der Produktion sehr preisgünstig sind. Im Praktikum Versuch Digitaltechnik werden nur JK-FF eingesetzt.

Fragen:

- Warum werden heute fast ausschließlich JK-Master-Slave Flip-Flop eingesetzt?
- Gibt es bei einem JK-Flip-Flop undefinierte Eingangszustände?

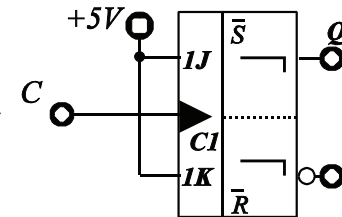
Fragen zum taktflanken-gesteuerten JK-Master-Slave-Flip-Flop



8.4.2 Anwendungsbeispiele mit Flip-Flops

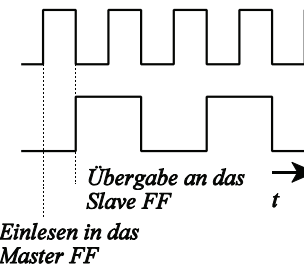
8.4.2.1 Frequenzteiler

Der einfachste Frequenzteiler (Abb. 8.4.20) besteht aus einem JK-FF, dessen Eingänge J und K beide auf logisch 1 (TTL: Versorgungsspannung 5 V) gelegt sind.



Beschaltung als Frequenzteiler

Abb. 8.4.20 JK-FF als Frequenzteiler



In dieser Beschaltung wechselt das FF mit jeder wirksamen Taktflanke seinen Zustand. Aus dem Impulsdiagramm (Abb. 8.4.21) sieht man, dass sich die Anzahl der Ausgangssignale halbiert hat. Man spricht von einem Teilungsverhältnis von 1:2. Durch Beschaltung mit weiteren JK-FF erhält man Frequenzteiler, die im Verhältnis $1:2^n$ teilen können.

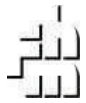
Impulsdiagramm für Frequenzteiler

Abb. 8.4.21 JK-FF Timing

Fragen:

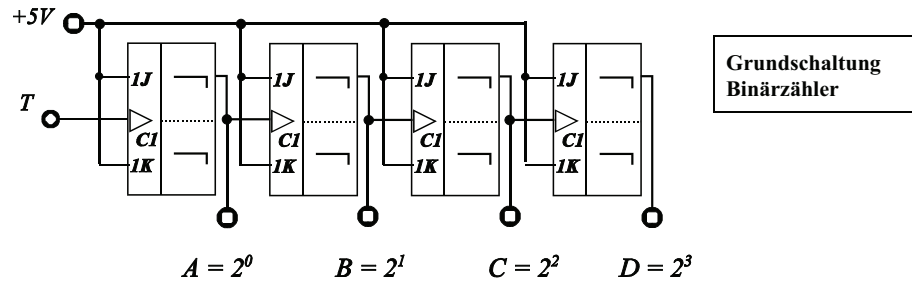
- Skizzieren Sie einen Frequenzteiler, der um den Faktor 8 teilt!

Fragen zum Frequenzteiler



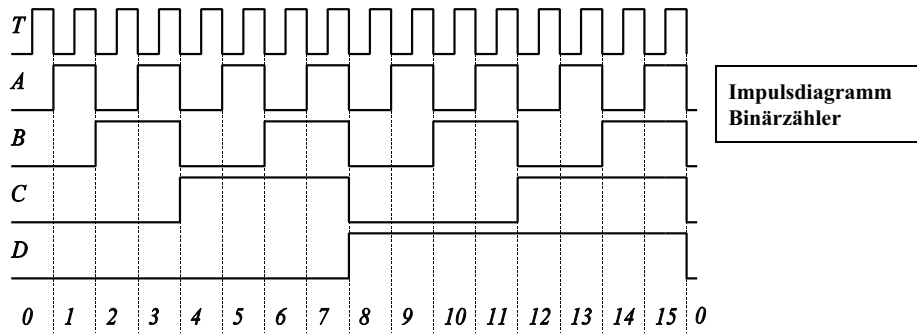
8.4.2.2 4-Bit-Binärzähler

Der aus Ingenieurinformatik her bekannte Binärkode kann sehr einfach zum Zählen verwendet werden. Dazu müssen JK-FFs wie in Abbildung 8.4.21 geschaltet werden. Die vier Ausgänge (A, B, C, D) der vier FFs entsprechen den 4 Bits, wobei das 1. FF am häufigsten schaltet. Damit stellt der Ausgang A das LSB (least significant bit) dar. Das 4. FF repräsentiert das MSB (most significant bit). Mit den 4 Bits sind insgesamt 16 unterschiedliche Zustände, also Zahlen von 0 bis 15 darstellbar. (Siehe Abb. 8.4.22) Zur besseren Kennzeichnung wurde hier C in T (=Takt) umgenannt, um Verwechslungen mit dem Datenausgang C zu vermeiden



Grundsaltung Binärzähler

Abb. 8.4.21 4-Bit-Binärzähler



Impulsdiagramm Binärzähler

Abb. 8.4.22 Impulszeitdiagramm eines 4 Bit-Binärzählers



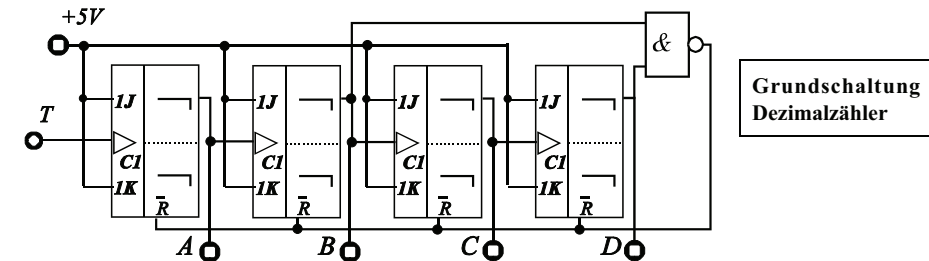
2 ³	2 ²	2 ¹	2 ⁰	Gewichtung
D	C	B	A	Zuordnung
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

Zustandstabelle Binärzähler

Tab. 8.4.4 Zustandstabelle eines Binärzählers

8.4.2.3 Dezimalzähler

Ergänzt man den Zähler aus 8.4.2.2 durch eine Dekodierschaltung, so kann sichergestellt werden, dass beim Erreichen der Zahl 10 der Zähler über den Prioritätsrücksetzeingang auf den Zustand 0 (ABCD = 0000) zurückgesetzt wird.

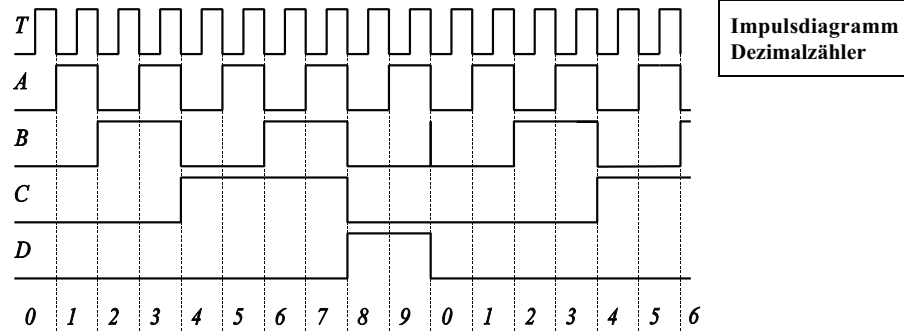


Grundsaltung Dezimalzähler

Abb. 8.4.23 Dezimalzähler



Mit Erreichen des Zählerzustandes 10 sind erstmals die beiden Ausgänge B und D auf logisch Eins. Über das NAND-Gatter werden damit alle Rücksetzeingänge R (Prioritätseingänge) der vier JK-FF aktiviert, wodurch alle Ausgänge ABCD auf logisch Null gesetzt werden. Damit beginnt der Zähler wieder von vorne zu zählen. Beobachtet man das Ausgangssignal von B mit einem schnellen Oszilloskop, so erkennt man einen schmalen Nadelimpuls (Impulsbreite entspricht einer Gatterlaufzeit 10^{-9} s).



Impulsdiagramm
Dezimalzähler

Abb. 8.4.24 Impulszeitdiagramm eines Dezimalzählers

Fragen:

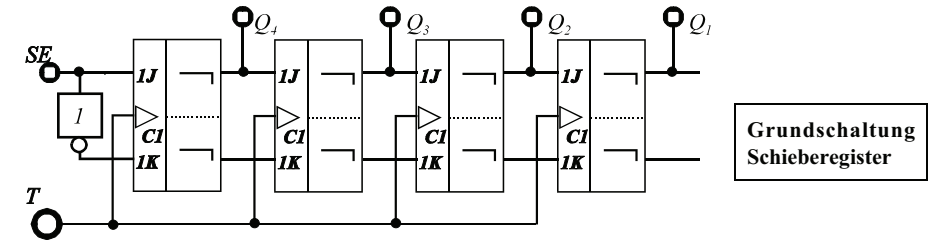
- Wie viele Flip-Flops braucht man, um 63 zählen zu können?
- Skizzieren Sie dazu die Schaltung!
- Durch welche Maßnahme kann der Zähler beim Erreichen der 50 auf 0 zurückgestellt werden?

Fragen zum
Zähler



8.4.2.4 Schieberegister

Durch die Zusammenschaltung mehrerer Master-Slave-Flip-Flops kann ein Schieberegister aufgebaut werden, bei dem die Information von einem FF zum nächsten weitergegeben wird. Diese Schieberegister können sowohl zum Wandeln von seriell nach parallel oder auch parallel nach seriell anliegender Information genutzt werden.



Grundschiung
Schieberegister

Abb. 8.4.25 Schieberegister als seriell-parallel-Wandler

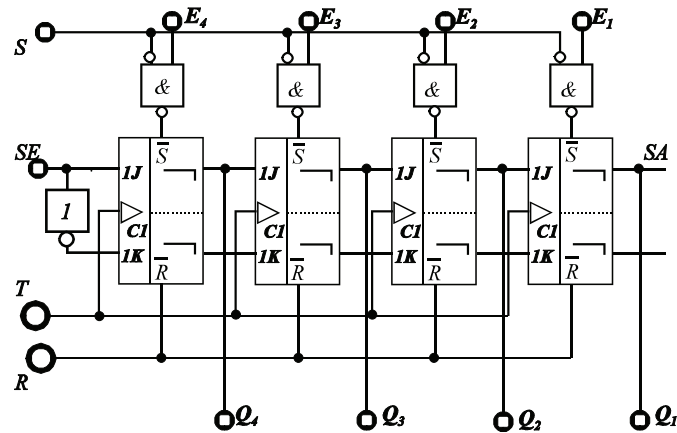
Die an SE (Serieller Eingang) anliegende Information ($D_1, D_2, D_3, D_4, D_5, D_6, \dots$) wird synchron mit dem Takt T in das Schieberegister hineingeschoben. Nach dem ersten Takt liegt an Q_4 die Information D_1 an. Mit dem nächsten Takt wird D_1 an das 2. FF weitergereicht und die Information D_2 in das 1. FF eingelesen. Dies ist durch die zeitliche Entkopplung beim Master-Slave Prinzip möglich. Nach 4 Takt signalen (vergl. Tab. 8.4.5) kann dann die Information an den Ausgängen $Q_1 - Q_4$ parallel ausgelesen werden.

Takt	Q_4	Q_3	Q_2	Q_1
1	D_1	/	/	/
2	D_2	D_1	/	/
3	D_3	D_2	D_1	/
4	D_4	D_3	D_2	D_1
5	D_5	D_4	D_3	D_2
6	D_6	D_5	D_4	D_3
usw.	usw.			

Tab. 8.4.5 Schema eines Schieberegisters als 4-Bit seriell parallel Wandler



Durch Nutzung der Setz- und Rücksetzeingänge kann auch eine parallel serielle Umwandlung erfolgen.



Grundsaltung eines Schieberegisters als parallel-seriell Wandler

Abb. 8.4.26 Schieberegister als parallel-seriell-Wandler

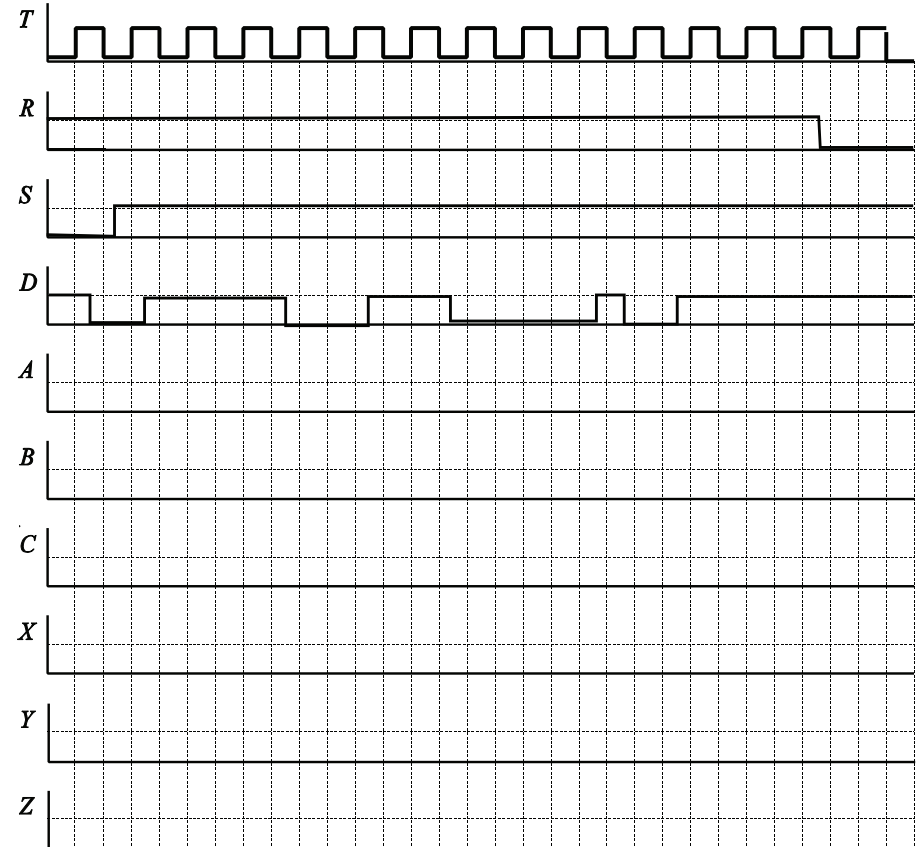
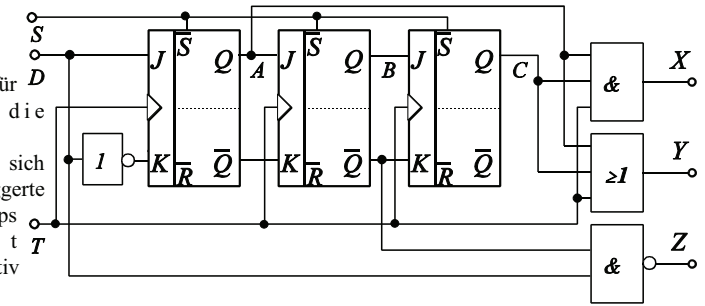
Mit dem Signal S (Set) und R (Reset) werden in die FFs parallel die anliegenden Informationen $E_1 - E_4$ eingelesen. Dazu werden zuerst alle FFs mit dem Resetsignal auf 0 gesetzt, um danach mit dem Freigabesignal S die Informationen, die an den Eingängen E_1 bis E_4 anliegen, zum Setzen der entsprechenden FFs zu nutzen. Danach kann die Information seriell am Ausgang SA (vergl. Schieberegister Abb. 8.4.25) nach rechts herausgeschoben werden.

Als Abschluss dieser Lerneinheit folgen 2 Prüfungsaufgaben aus dem Fach Elektronik, deren Lösung in den angesetzten Übungsstunden mit dem Dozenten durchgesprochen werden können.



Prüfungsaufgabe aus WS 2003/04

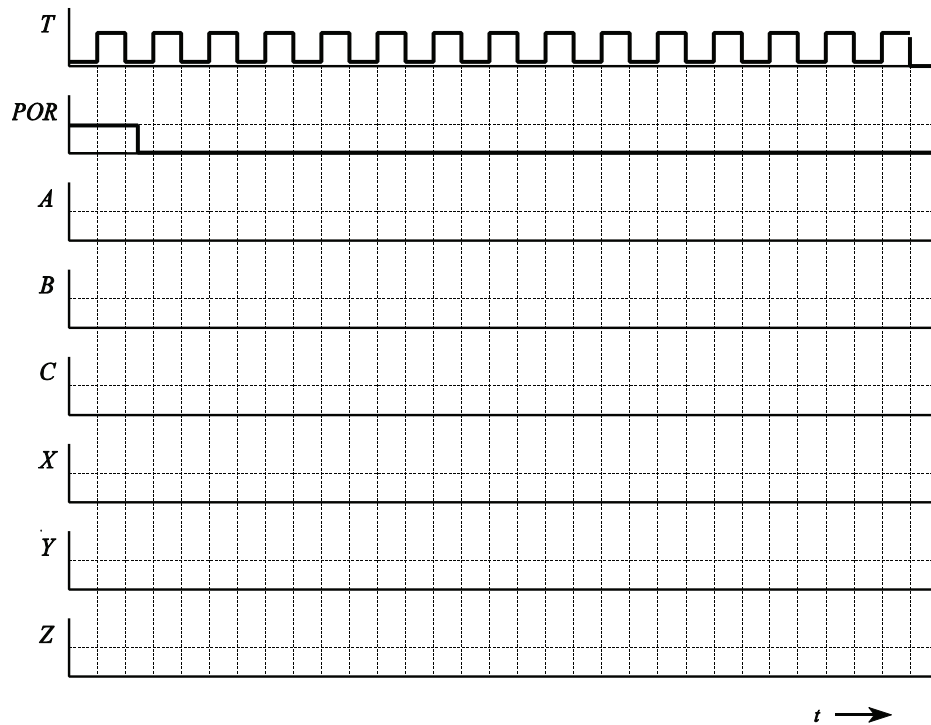
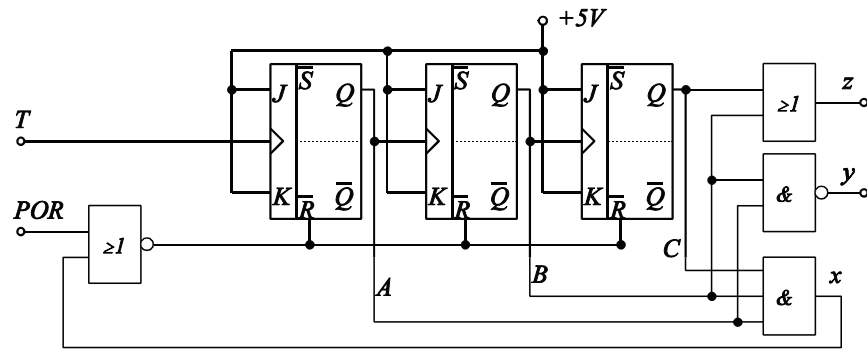
Vervollständigen Sie für die Schaltung die Zeitdiagramme! Bei den FF handelt es sich um positiv flankengetriggerte Master Slave Flip Flops m i t T Prioritätseingängen (Aktiv low).





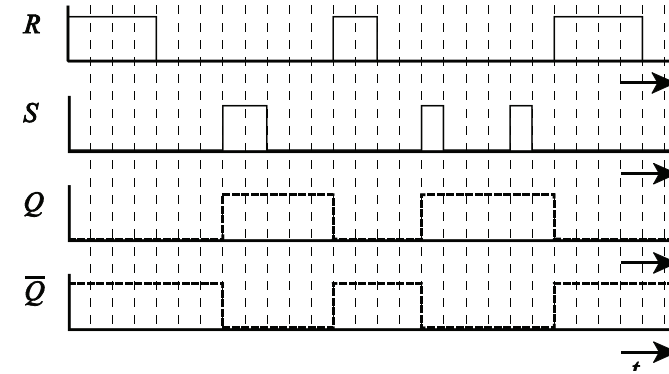
Prüfungsaufgabe aus dem WS 2000/01

Vervollständigen Sie für die untenstehende Schaltung die Zeitdiagramme! Die Abkürzung POR steht für "power on reset". Bei den FFs handelt es sich um positiv flankengetriggerte Master Slave Flip Flops mit Prioritätseingängen.

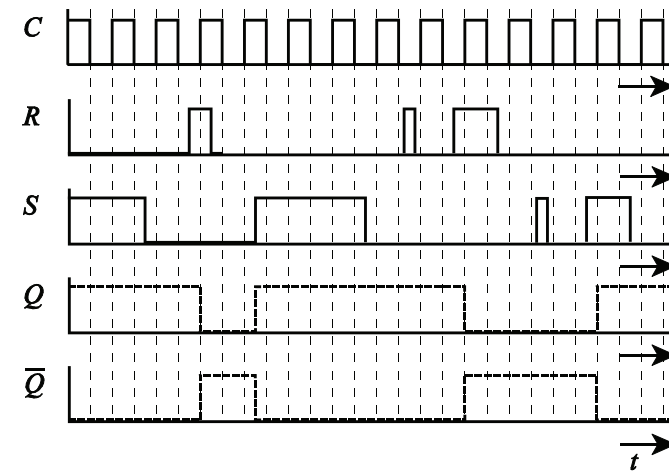


Anhang: Lösungen

Aufgabe 1:

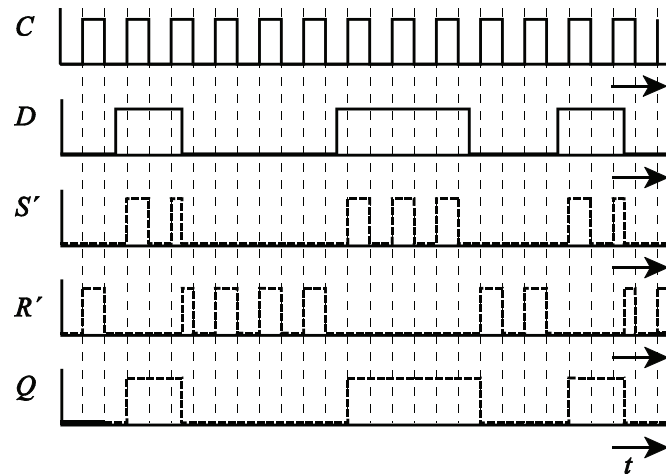


Aufgabe 2:

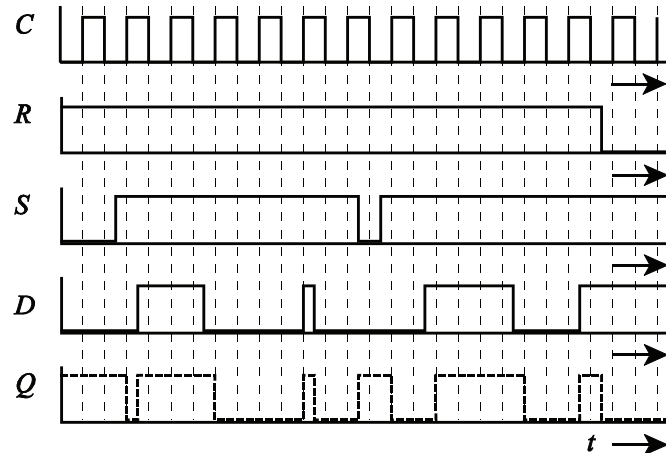




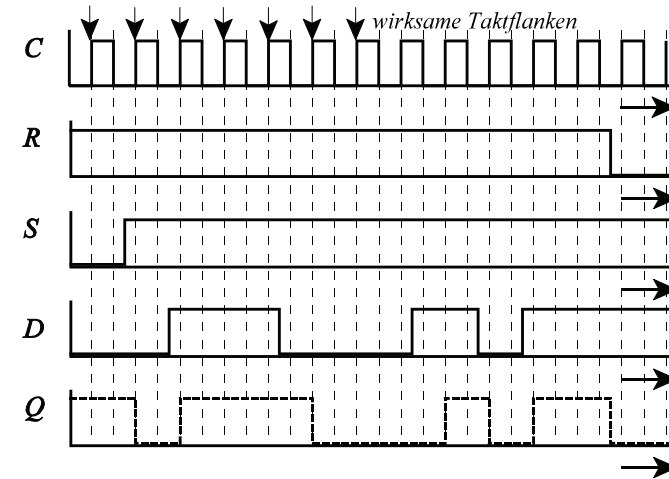
Aufgabe 3:



Aufgabe 4:



Aufgabe 5:



Aufgabe 6:

